

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-012704  
 (43)Date of publication of application : 14.01.2000

(51)Int.CI. H01L 21/8242  
 H01L 27/108  
 G11C 11/405

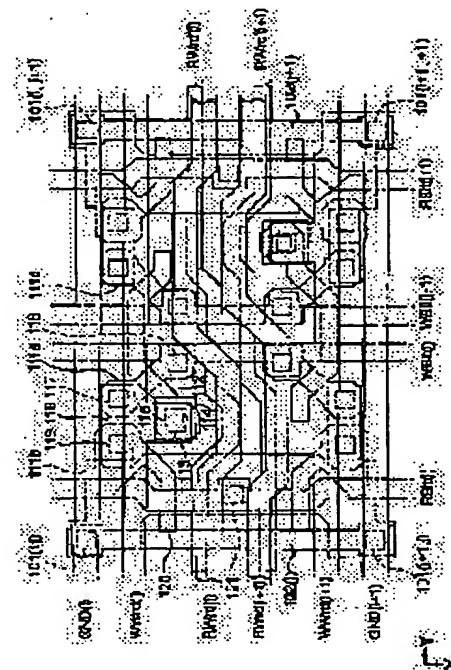
(21)Application number : 10-177763 (71)Applicant : YAMAHA CORP  
 (22)Date of filing : 24.06.1998 (72)Inventor : TANAKA TAISHIN

## (54) SEMICONDUCTOR MEMORY CELL

### (57)Abstract:

PROBLEM TO BE SOLVED: To prevent the leakage of the electric charges corresponding to data due to interference caused by random access, etc.

SOLUTION: In a semiconductor memory cell in which electric charges are stored corresponding to the levels of write bit lines WBit under instructions from write word lines WWrd and, meanwhile, the levels of readout bit lines RBit are made to transit under instructions from readout work lines RWrd, the write word lines WWrd are laid between grounding lines GND and the readout word lines RWrd.



## LEGAL STATUS

[Date of request for examination] 30.08.2001  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-12704  
(P2000-12704A)

(43)公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl.  
H 01 L 21/8242  
27/108  
G 11 C 11/405

識別記号

F I  
H 01 L 27/10  
G 11 C 11/34

3 2 1 5 B 0 2 4  
3 5 2 B 5 F 0 8 3

マーク (参考)

(21)出願番号 特願平10-177763  
(22)出願日 平成10年6月24日 (1998.6.24)

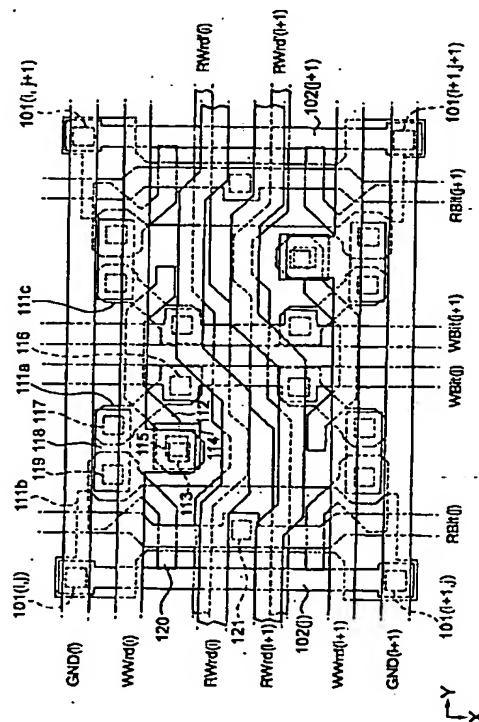
(71)出願人 000004075  
ヤマハ株式会社  
静岡県浜松市中沢町10番1号  
(72)発明者 田中 ▲泰▼臣  
静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内  
(74)代理人 100098084  
弁理士 川▲崎▼研二 (外1名)  
Fターム(参考) 5B024 AA04 BA01 CA09 CA27  
5F083 AD69 LA03 LA12 LA16 LA18

(54)【発明の名称】 半導体メモリーセル

(57)【要約】

【課題】 データに応じた電荷が、ランダムアクセス等に起因する干渉によってリークしないようする。

【解決手段】 書込ワード線WW<sub>r d</sub>の指示によって書込ビット線WB<sub>i t</sub>のレベルに対応して電荷を蓄積する一方、読出ワード線RW<sub>r d</sub>の指示によって蓄積した電荷に応じて読出ビット線RB<sub>i t</sub>のレベルを遷移させる半導体メモリーセルにおいて、書込ワード線WW<sub>r d</sub>を、接地線GNDと読出ワード線RW<sub>r d</sub>との間に配列させる。



## 【特許請求の範囲】

【請求項1】 書込ワード線の指示によって書込ビット線のレベルに対応して電荷を蓄積する一方、読出ワード線の指示によって蓄積した電荷に応じて読出ビット線のレベルを遷移させる半導体メモリーセルにおいて、

前記書込ワード線を、接地線と前記読出ワード線との間に配列させたことを特徴とする半導体メモリーセル。

【請求項2】 前記半導体メモリーセルは、マトリックス状に多数配置されるとともに、

同一列に配置された半導体メモリーセルは、前記書込ビット線および前記読出ビット線をそれぞれ共用し、

同一行に配置された半導体メモリーセルには、読み出しあるいは書き込みがそれぞれ一括してなされることを特徴とする請求項1記載の半導体メモリーセル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例えば、データに応じた電荷がランダムアクセス等に起因する干渉によってリークしない半導体メモリーセルに関する。

## 【0002】

【従来の技術】 従来の半導体メモリーセル、例えば、nチャネルMOSトランジスタで構成される3トランジスタ型メモリーセルの構成について、図6を参照して説明する。この図に示すように、メモリーセルは、主に、書き込みを制御するトランジスタ1、ゲート部分に電荷を蓄積する容量Cを有するトランジスタ2、および、読み出しを制御するトランジスタ3から構成される。ここで、トランジスタ1のゲートは、書込ワード線WWrdに接続され、そのドレインは、書き込みデータに対応するレベルとなる書込ビット線WBbitに接続され、さらに、そのソースは、トランジスタ2のゲートに接続される。また、トランジスタ2のソースは接地され、そのドレインは、トランジスタ3のソースに接続される。そして、トランジスタ3のゲートは、読出ワード線RWrdに接続され、そのドレインは、読み出しに用いる読出ビット線RBbitに接続される。

【0003】 次に、このメモリーセルの動作について説明すると、書込時には、書込ワード線WWrdを「H」レベルとする。このため、トランジスタ1がオンとなる結果、トランジスタ2のゲートには、書込ビット線WBbitのレベルに応じた電荷が蓄積される。すなわち、トランジスタ2のゲートには、書込ビット線WBbitが「H」レベルであれば電荷が蓄積される一方、「L」レベルであれば電荷が蓄積されない。また、読出時には、読出ビット線RBbitをプリチャージ（「H」レベルにすることを言う）した後、読出ワード線RWrdを「H」レベルとする。この際、メモリーセルに電荷が蓄積されていれば、トランジスタ2および3がオンとなる結果、読出ビット線RBbitは、プリチャージによる「H」レベルから接地レベルたる「L」レベルへと遷移

10

20

30

40

50

することになる。一方、メモリーセルに電荷が蓄積されていなければ、トランジスタ2はオフのままであるから、読出ビット線RBbitは、プリチャージによる「H」レベルを維持することとなる。

【0004】 したがって、メモリーセルに蓄積された電荷に応じて、読出ビット線RBbitのレベルが「L」レベルに遷移し、あるいは、「H」レベルに維持されることとなり、これにより、メモリーセルにおけるデータの記憶が実現されることとなる。なお、ここでは、ゲートに電荷を蓄積させる場合を、メモリーセルにデータ「0」を書き込む場合とする。このため、読出ビット線RBbitが「L」レベルに遷移する場合が、メモリーセルからデータ「0」を読み出す場合となる。

## 【0005】

【発明が解決しようとする課題】 さて、メモリーセルに蓄積された電荷（データ）は、トランジスタ1のジャンクション・リークや、サブ・スレッショルド・リークなどによって、時間経過とともに失われる。特に、トランジスタ1のサブ・スレッショルド電流は、ゲート電圧に対し指数関数的に増大するため、そのゲート電圧たる書込ワード線WWrdの影響を受けやすい。また、一般に、メモリーセルは、マトリックス状に多数配列されてセルアレイを形成し、同一列に位置するメモリーセルは各ビット線を共用し、また、同一行に位置するメモリーセルは各ワード線を共用している。この際、書込ワード線WWrdのレベルが、他のメモリーセルへのアクセス等による干渉を受けて変動すると、その書込ワード線WWrdに接続されるメモリーセルのすべてにおいて電荷リーク量が著しく変動する。一方、レベル変動しない書込ワード線に接続されるメモリーセルにおいては、電荷リーク量は一定量である。このため、電荷量がメモリーセル毎に異なってしまい、全体でみれば、きわめて不安定であるという問題があった。

【0006】 本発明は、上記問題に鑑みてなされたもので、その目的とするところは、ランダムアクセスによる書込ワード線のレベル変動を最小限に抑えて、蓄積される電荷量の安定化を図った半導体メモリーセルを提供することにある。

## 【0007】

【課題を解決するための手段】 上記目的を達成するため、本発明にあっては、書込ワード線の指示によって書込ビット線のレベルに対応して電荷を蓄積する一方、読出ワード線の指示によって蓄積した電荷に応じて読出ビット線のレベルを遷移させる半導体メモリーセルにおいて、前記書込ワード線を、接地線と前記読出ワード線との間に配列させたことを特徴としている。

## 【0008】

【発明の実施の形態】 以下、本発明による実施の形態について図面を参照する。

【0009】 <第1実施形態> まず、本発明の第1実施

形態に係るメモリーセルおよびそのセンス・アンプについて説明する。図2は、それらの構成を示す回路図である。この図に示すように、メモリーセルは、マトリックス状に多数配列されてセルアレイを形成し、同一列に位置するメモリーセルは同一の読出ビット線R B i t および書込ビット線W B i t をそれぞれ共用し、また、同一行に位置するメモリーセルは同一の読出ワード線R W r d および書込ワード線W W r d をそれぞれ共用している。このようなマトリックス状の配列において、i行j列に位置するメモリーセルを一般的に(i, j)と表記するとともに、各ビット線および各ワード線について括弧を末尾に付与し、その中に対応する列あるいは行を記すことにする。例えば、読出ワード線R W r d (i) および書込ワード線W W r d (i) は、i行に位置するメモリーセルによってそれぞれ共用されるものである。

【0010】次に、センス・アンプ10はセルアレイの列毎に設けられ、それぞれ、列の中でアクティブとなつたいずれか一つのメモリーセルについてデータを読み出し、および、書き込みを行うものである。ここで、センス・アンプ10jを例にとって説明する。まず、nチャネルMOS型のトランジスタ11は、そのソースが読出ビット線R B i t (j) に接続され、また、そのドレインが電源電圧V d d に接続されて、そのゲートには読出クロックR C K が供給されている。したがって、トランジスタ11は、読出クロックR C K にしたがってオンオフするようになっている。ここで、トランジスタ11におけるソース-ドレイン間のオン抵抗は、メモリーセルのトランジスタ2あるいは3のそれよりも2倍以上としてある。

【0011】インバータ12は、読出ビット線R B i t (j) のレベルを判定して、その反転結果を読出クロックR C K にしたがって出力するものである。ここで、インバータ12における反転のしきい値は、「H」レベルと「L」レベルとの中間値たるV d d /2に設定される。また、説明の便宜上、電源電圧V d d の供給点を①とし、インバータ12の入力点を②とする。そして、インバータ13は、インバータ12の反転結果を再度反転するものであり、この反転結果を読出データD o u t として出力する。一方、インバータ13は、読出クロックR C K の反転クロックにしたがって、インバータ13の出力、すなわち、読出データD o u t を反転するものである。ここで、インバータ13、および13は、一方の出力を他方の入力とする関係にあるため、両者によって、ラッチ回路13が形成されて、インバータ12の出力を読出クロックR C K の反転クロックにしたがってラッチすることとなる。

【0012】セレクタ14は、アンドゲート14<sub>1</sub>、14<sub>2</sub>およびノアゲート14<sub>3</sub>から構成され、このうち、アンドゲート14<sub>1</sub>は、ラッチ回路13によりラッチされ

たインバータ12の出力とライト・イネーブル信号W E の反転信号との論理積を求め、また、アンドゲート14<sub>2</sub>は、新たな書込データD i n の反転結果とライト・イネーブル信号W E との論理積を求め、そして、ノアゲート14<sub>3</sub>は、アンドゲート14<sub>1</sub>、および14<sub>2</sub>による両論理積の反転論理和を求める。したがって、セレクタ14は、ライト・イネーブルW E がアクティブとなって書き込みが指示されている場合には、新たな書込データD i n を出力する一方、ライト・イネーブルW E が非アクティブとなって書き込みが指示されていない場合には、読出データD o u t を出力することとなる。そして、インバータ15は、書込クロックW C K にしたがってセレクタ14の出力を反転して、書込ビット線W B i t (j) に供給するものである。

【0013】次に、メモリーセルの配線パターンについて説明する。図1は、互いに隣接する4個のメモリーセル(i, j)、(i+1, j)、(i, j+1)および(i+1, j+1)についての配線パターンを示す平面図である。図に示すように、4個のメモリーセルは、同一行で隣接する2個メモリーセル(i, j)および(i, j+1)の1組と、次の同一行で隣接する2個のメモリーセル(i+1, j)および(i+1, j+1)の1組とから構成されるものであり、両組は、一方の組を180度回転させて向かい合わせたものが他方の組となる位置関係にある。ここで、i行のメモリーセルによって共用される書込ワード線W W r d (i) は、同一行のメモリーセルによって共用される接地線G N D (i) および読出ワード線R W r d (i) により挟まれて配設されている。同様に、(i+1)行の書込ワード線W W r d (i+1)も、接地線G N D (i+1)および読出ワード線R W r d (i+1)により挟まれて配設されている。また、接地線G N D (i)と接地線G N D (i+1)とは、コンタクトホール101(i, j)、短絡パターン102(j)およびコンタクトホール101(i+1, j)を介して互いに接続されている。また、両接地線は、コンタクトホール101(i, j+1)、短絡パターン102(j+1)およびコンタクトホール101(i+1, j+1)を介しても接続されている。一方、読出ワード線R W r d (i)は、読出ワード線R W r d (i)と重層構造となっており、両者はセルアレイの末端部あるいは中間部において適宜導通が図られている。読出ワード線R W r d (i+1)および読出ワード線R W r d (i+1)も同様である。

【0014】ここで、メモリーセルの各トランジスタと配線パターンとの関係について、メモリーセル(i, j)を例にとって説明する。図1において、111aは、トランジスタ1の能動層(ソース・ドレイン・チャネル領域)であり、111bは、トランジスタ2および3の能動層である。特に、能動層111bは、このメモリーセル(i, j)のみならず、同一列で隣接するメモ

リーセル ( $i+1, j$ ) におけるトランジスタ2および3の能動層でもある。さて、能動層111aには、ゲート電極112が配設されている。このゲート電極112は、コンタクトホール113、導電層114およびコンタクトホール115を介して書込ワード線WWrd (i) に接続される。なお、このゲート電極112は、同一行で隣接するメモリーセル ( $i, j+1$ ) の能動層101cについてのゲート電極でもある。また、能動層111aのドレイン領域は、コンタクトホール116を介して書込ビット線WBbit (j) と接続される。一方、能動層111aのソース領域は、コンタクトホール117、導電層118、コンタクトホール119およびゲート電極120に接続される。

【0015】一方、能動層111bには、トランジスタ2としてのゲート電極120、および、トランジスタ3のゲート電極たる読出ワード線RWrd' (i) がそれぞれ配設されている。ここで、能動層111bにおけるトランジスタ2のソース領域は、コンタクトホール101 ( $i, j$ ) を介して接地線GND (i) と接続される。一方、能動層111bにおいて、ゲート電極120および読出ワード線RWrd' (i) の間には、トランジスタ2のドレイン領域およびトランジスタ3のソース領域とが設けられる。そして、能動層111bにおけるトランジスタ3のドレイン領域は、コンタクトホール121を介して読出ビット線RBbit (j) に接続される。

【0016】次に、メモリーセル ( $i, j+1$ ) は、コンタクトホール113、導電層114およびコンタクトホール115を有さない以外は、メモリーセル ( $i, j$ ) と略同一である。したがって、このようなメモリーセル ( $i, j$ ) および ( $i, j+1$ ) により、同一行にて隣接する2個のメモリーセルの1組が形成され、さらに、これを180度回転させて向かい合わせたものが、次の同一行にて隣接する2個のメモリーセル ( $i+1, j$ ) および ( $i+1, j+1$ ) の1組となって、都合4個のメモリーセルが形成されることとなる。

【0017】次に、本実施形態に係るメモリーセルの動作について、図3を参照して説明する。この図に示すように、読出サイクルT<sub>o</sub>と書込サイクルT<sub>w</sub>とが交互に実行される。なお、ここでは、図2においてi行に位置するメモリーセルが選択されたとして、まず、j列に位置するメモリーセル ( $i, j$ ) の動作について説明する。はじめに、読出サイクルT<sub>o</sub>の開始時間T<sub>11</sub>においては、読出クロックRCKが立ち上がり、読出ワード線RWrd (i) が「H」レベルとなる。この際、読出クロックRCKが「H」レベルとなるので、トランジスタ11がオンとなって、読出ビット線RBbit (j) は電源電圧Vddにブルアップされることとなる。

【0018】ここで、メモリーセル ( $i, j$ ) に電荷が蓄積されている場合、そのトランジスタ2および3がオ

ンとなるため、読出ビット線RBbit (j) は接地レベルに引き込まれる。したがって、インバータ12の入力点②のレベルは、点①から点②までの（トランジスタ11の抵抗を含む）抵抗と、点②から読出ビット線RBbit (j) を経由してメモリーセル ( $i, j$ ) の接地点③までの（トランジスタ2および3の抵抗を含む）抵抗との抵抗比によって定まるレベルまで下降する。トランジスタ11におけるソースードレイン間のオン抵抗は、メモリーセルのトランジスタ2あるいは3のそれよりも2倍以上であるから、点②におけるレベルは、Vdd/2以下となって、インバータ12の反転しきい値を下回る。よって、この場合、インバータ12は、読出クロックRCKの立ち上がり時間T<sub>11</sub>において「H」レベル信号を出力することになる。

【0019】一方、メモリーセル ( $i, j$ ) に電荷が蓄積されていない場合、読出ビット線RBbit (j) は、接地レベルに引き込まれず、ブルアップ・レベルたる「H」レベルを維持する。よって、この場合、インバータ12は、読出クロックRCKの立ち上がり時間T<sub>11</sub>からの読出サイクルT<sub>o</sub>において、「L」レベル信号を出力することになる。

【0020】いずれにしても、インバータ12の反転結果は、メモリーセルに蓄積された電荷に応じたものとなる。ここで、電荷が蓄積された状態を「L」レベルとすべく、インバータ12の反転結果が、インバータ13で再度反転されて、読出データDoutとして出力される。

【0021】次に、書込サイクルT<sub>w</sub>の開始時間T<sub>11</sub>においては、書込クロックWCKが立ち上がり、書込ワード線WWrd (i) が「H」レベルとなる。この際、読出クロックRCKが「L」レベルとなるので、トランジスタ11がオフとなって、読出ビット線RBbit (j) は電源電圧Vddから解放される。一方、書込ビット線WBbit (j) のレベルは、インバータ15によって、その時点におけるセレクタ14の選択結果を反転したレベルにされる。

【0022】この際、ライト・イネーブル信号WEによって書き込みが指示されれば、新たな書込データDinがセレクタ14によって選択出力されるので、書込ビット線WBbit (j) のレベルは、書込データDinを反転したレベルとなる。したがって、書込データDinのレベルが「L」であれば、メモリーセル ( $i, j$ ) には電荷が蓄積される一方、書込データDinのレベルが「H」であれば、電荷が蓄積されない。よって、書込データDinのレベルに応じた電荷をメモリーセル ( $i, j$ ) に蓄積されることとなる。

【0023】一方、ライト・イネーブル信号WEによって書き込みが指示されなければ、読出データDoutがセレクタ14によって選択出力されるので、書込ビット線WBbit (j) のレベルは、読出データDout

を反転したレベルとなる。したがって、読出データD<sub>out</sub>のレベルが「L」であれば、メモリーセル(i, j)には電荷が蓄積される一方、読出データD<sub>out</sub>のレベルが「H」であれば、電荷が蓄積されない。よって、メモリーセル(i, j)には、読み出し前と同様の電荷が再蓄積されることとなって、リフレッシュが完了することとなる。

【0024】さて、i行に位置するメモリーセルのうちj列以外に位置するメモリーセル(i, j+1)などについても、読出ワード線RW<sub>rd</sub>(i)および書込ワード線WW<sub>rd</sub>(i)をそれぞれ共用するため、時間T<sub>11</sub>およびT<sub>12</sub>において、メモリーセル(i, j)と同じ動作が行われる。すなわち、読出→ラッチ→新規書込あるいは再書込という一連の動作は、同一行に位置するメモリーセルのすべてにおいて実行されることとなる。

【0025】ここで、書込ワード線WW<sub>rd</sub>のレベル変動について検討してみる。説明のため、メモリーセル(i, j)について着目すると、このメモリーセルにおいて行を異にして隣接するメモリーセル、例えば、メモリーセル(i+1, j)がアクセスされると、書込ワード線WW<sub>rd</sub>(i+1)あるいは読出ワード線RW<sub>rd</sub>線(i+1)のレベルは変動する。しかし、書込ワード線WW<sub>rd</sub>(i)は、接地線GND(i)と読出ワード線RW<sub>rd</sub>(i)とに挟まれて配設されているため、書込ワード線WW<sub>rd</sub>(i+1)あるいは読出ワード線RW<sub>rd</sub>線(i+1)による干渉を受けにくい。このため、書込ワード線WW<sub>rd</sub>(i)のレベルは、行を異にして隣接するメモリーセルに対しアクセスが発生しても、安定したものとなる。一方、メモリーセル(i, j)自身、あるいは、そのメモリーセルとは行を同一とするメモリーセルがアクセスされると、読出ワード線RW<sub>rd</sub>線(i)のレベルが変動するため、それに隣接する書込ワード線WW<sub>rd</sub>(i)は、その干渉を受けると考えられる。しかし、アクセスに係るメモリーセルと行を同一にするメモリーセルは、上述したように、そのアクセスと連動して、読出→ラッチ→新規書込あるいは再書込という一連の動作を実行するので、書込ワード線WW<sub>rd</sub>(i)のレベル変動による電荷のリークは、問題とならない。

【0026】したがって、第1実施形態によれば、ランダムアクセスが発生しても、基本的に、書込ワード線WW<sub>rd</sub>のレベルが変動しにくいので、蓄積される電荷量の安定させることができ、例外的に、読出ワード線RW<sub>rd</sub>が変動して書込ワード線WW<sub>rd</sub>が干渉を受けても、その直後の再書込によって、電荷のリークが問題とならない。

【0027】なお、上記第1実施形態にあっては、トランジスタ11におけるソースードレイン間のオン抵抗を、メモリーセルのトランジスタ2あるいは3のそれよりも2倍以上とし、かつ、インバータ12のしきい値を

Vdd/2として、メモリーセルに蓄積された電荷量に応じてインバータ12の出力を取り出す構成としたが、本発明はこれに限られない。例えば、トランジスタ11におけるソースードレイン間のオン抵抗に応じてインバータ12における反転のしきい値を設定したり、電源電圧Vddの供給点①から入力点②までの間にポリシリコン等により適切な抵抗分を形成することとしても良い。また、読出ビット線RB<sub>it</sub>を、トランジスタ11によって電源電圧Vddに接続することとしたが、本発明はこれに限らず、ある一定電圧を有する電位線に接続させるとともに、その一定電圧を抵抗比に応じて分圧させて、これより読出ビット線RB<sub>it</sub>のレベル遷移させる構成としても良い。

【0028】<第2実施形態>次に、本発明の第2実施形態に係るメモリーセルおよびそのセンス・アンプについて説明する。図4は、それらの構成を示す回路図である。この図に示すように、本実施形態に係るメモリーセルは、図2に示した第1実施形態に係るトランジスタ11を、クロックRPCにしたがってオンオフするトランジスタ31に置き換え、クロックWPCにしたがってオンオフするトランジスタ32を書込ビット線WB<sub>it</sub>に接続した点にある。なお、配線パターンは、第1実施形態と同様である。

【0029】次に、本実施形態に係るメモリーセルの動作について、図5を参照して説明する。なお、ここでも第1実施形態と同様に、i行に位置するメモリーセルが選択されたとして、j列に位置するメモリーセル(i, j)の動作について説明する。まず、読出サイクルT<sub>r</sub>の時間T<sub>11</sub>の以前においては、クロックRPCが「H」レベルとなっている。このため、トランジスタ31はオンとなって、読出ビット線RB<sub>it</sub>(j)がプリチャージされることとなる。これによって、次のサイクルでは、そのサイクルの最初においてすでにプリチャージされているので、高速読出が可能となっている。

【0030】次に、読出サイクルT<sub>r</sub>の開始時間T<sub>12</sub>においては、読出ワード線RW<sub>rd</sub>(i)が「H」レベルとなって、クロックWPCが「H」レベルとなる。このため、トランジスタ32はオンとなって、書込ビット線WB<sub>it</sub>(j)がプリチャージされることとなる。一方、読出ビット線RB<sub>it</sub>(j)のレベルは、メモリーセル(i, j)に電荷が蓄積されているか否かにより遷移する。すなわち、読出ビット線RB<sub>it</sub>(j)のレベルは、電荷が蓄積されていれば、接地レベルへの引き込みによってプリチャージ・レベルたる「H」レベルから「L」レベルに遷移する一方、電荷が蓄積されていなければ、プリチャージ・レベルたる「H」レベルを維持する。したがって、読出クロックRCKの立ち上がり時間T<sub>13</sub>において、インバータ12の反転出力は、メモリーセルに電荷が蓄積されていれば「H」レベルとなり、蓄積されていなければ「L」レベルとなる。そして、イン

バータ12の反転結果は、インバータ13で再度反転されて、読出データD<sub>out</sub>として出力される。

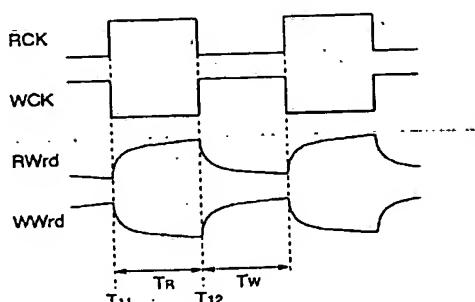
【0031】次に、書込サイクルT<sub>1</sub>の開始時間T<sub>11</sub>において、書込ワード線WWrd(i)が「H」レベルとなって、クロックR<sub>PC</sub>が「H」レベルとなる。このため、トランジスタ31はオンとなって、読出ピット線RB<sub>it</sub>(j)がブリチャージされることとなる。ここで、インバータ15は、書込クロックWCKの立ち上がり時間T<sub>12</sub>において、書込ピット線RB<sub>it</sub>(j)のレベルを、その時点におけるセレクタ14の選択結果を反転したレベルにする。

【0032】この際、書込ピット線RB<sub>it</sub>(j)のレベルは、ライト・イネーブル信号WEによって書き込みが指示されていれば、書込データD<sub>in</sub>を反転したレベルとなる一方、書き込みが指示されていなければ、読出データD<sub>out</sub>を反転したレベルとなって、ブリチャージレベルたる「H」レベルから遷移し、あるいは、ブリチャージレベルたる「H」レベルを維持することとなる。ここで、書込ピット線RB<sub>it</sub>(j)のレベルが、ブリチャージレベルたる「H」レベルから「L」レベルに遷移するのは、インバータ15による接地レベルへの引き込みによって行われる。

【0033】したがって、書込データD<sub>in</sub>あるいは読出データD<sub>out</sub>のレベルが「L」であれば、メモリーセル(i, j)には電荷が蓄積される一方、書込データD<sub>in</sub>あるいは読出データD<sub>out</sub>のレベルが「H」レベルであれば、電荷が蓄積されない。よって、書込データD<sub>in</sub>あるいは読出データD<sub>out</sub>のレベルに応じた電荷がメモリーセル(i, j)に新規蓄積あるいは再蓄積されることとなる。

【0034】さて、i行に位置するメモリーセルのうちj列以外に位置するメモリーセルについても、読出ワード線RWrd(i)および書込ワード線WWrd(i)をそれぞれ共用するため、時間T<sub>11</sub>～T<sub>12</sub>においては、メモリーセル(i, j)と同じ動作が行われる。すなわち、読出→ラッチ→新規書込あるいは再書込という一連の動作は、同一行に位置するメモリーセルのすべてにおよぶ。

【図3】



\*いて実行されることとなる。

【0035】よって、第2実施形態においても、書込ワード線WWrdを、接地線GNDおよび読出ワード線RWrdで挟んで配設することにより、ランダムアクセスが発生しても、書込ワード線WWrdのレベルが変動しにくくなるので、蓄積される電荷量の安定させることができ、仮に、レベル変動したとしても、その直後の再書込によって、電荷のリークが問題とならない。

【0036】なお、上述した第1および第2実施形態においては、メモリーセルをnチャネルMOSトランジスタで構成したが、本発明は、これに限らず、pチャネルMOSトランジスタで構成しても良い。

【0037】

【発明の効果】以上説明したように本発明によれば、ランダムアクセスによる書込ワード線のレベル変動を最小限に抑えて、蓄積される電荷量の安定化を図ることが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係るメモリーセル4個分の配線パターンを示す平面図である。

【図2】 同実施形態に係るメモリーセルおよびそのセンス・アンプの構成を示す回路図である。

【図3】 同実施形態の動作を説明するためのタイミングチャートである。

【図4】 本発明の第2実施形態に係るメモリーセルおよびそのセンス・アンプの構成を示す回路図である。

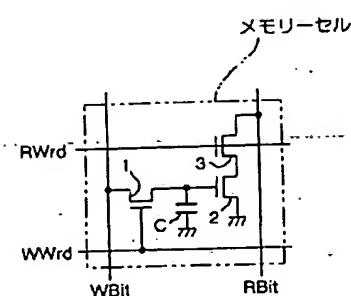
【図5】 同実施形態の動作を説明するためのタイミングチャートである。

【図6】 本発明に適用されるメモリーセルの構成を示す回路図である。

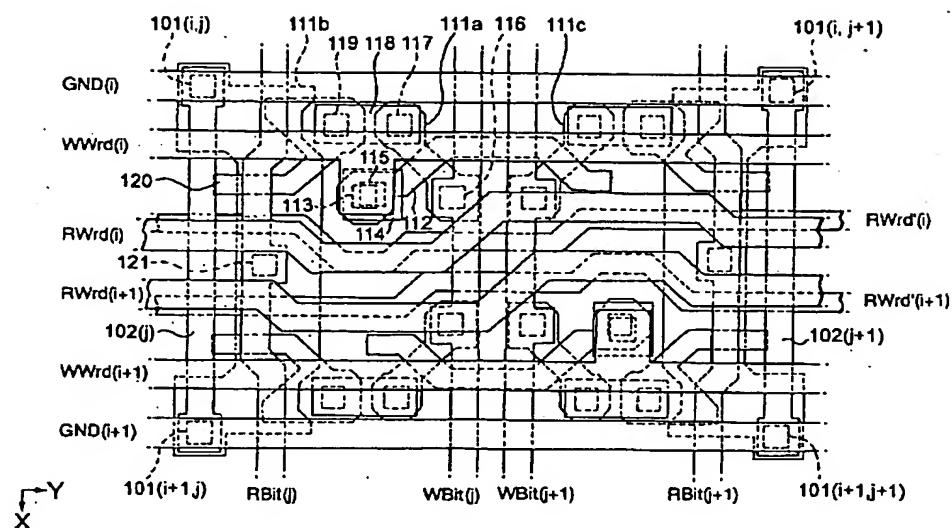
【符号の説明】

10……センス・アンプ、12……インバータ、15……インバータ、31……トランジスタ、32……トランジスタ、RWrd……読出ワード線、WWrd……書込ワード線、RB<sub>it</sub>……読出ピット線、WB<sub>it</sub>……書込ピット線

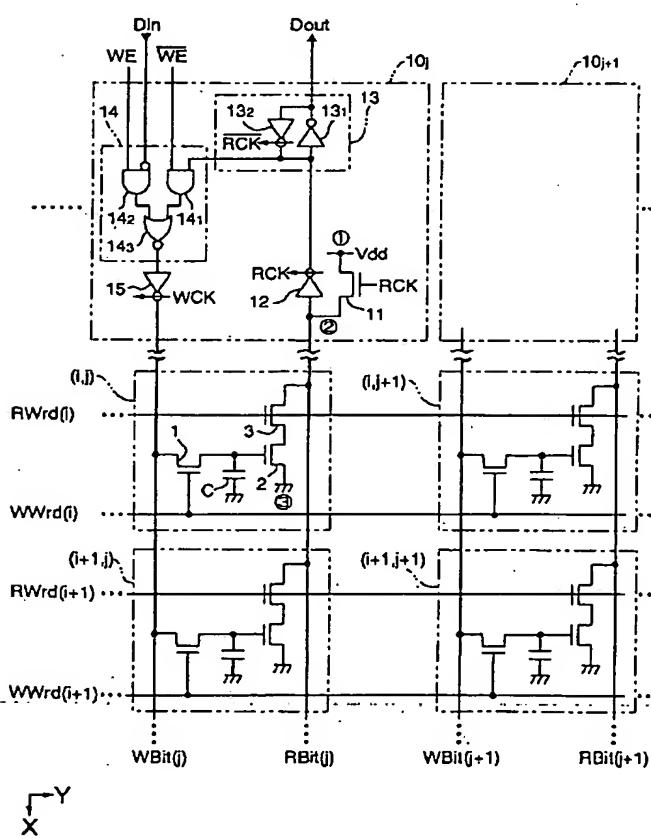
【図6】



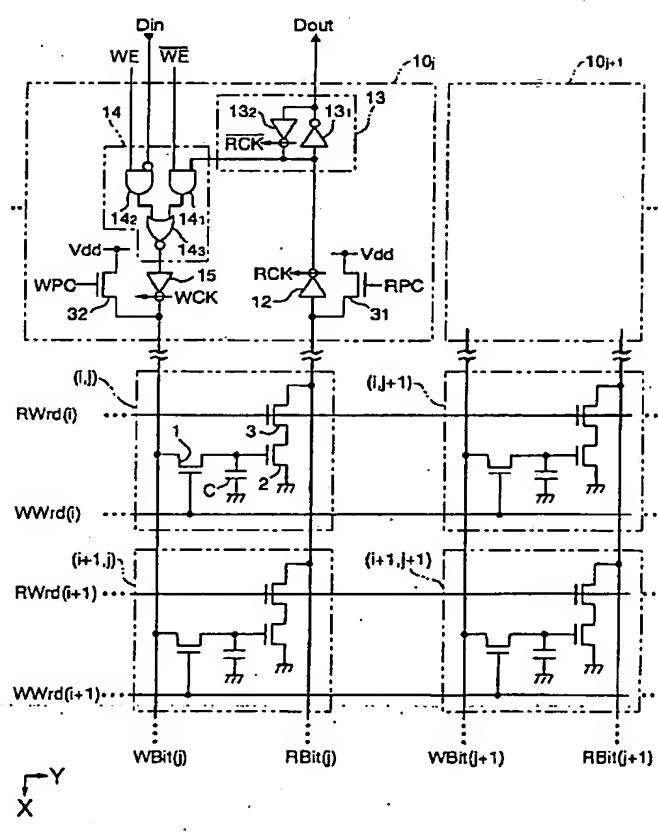
【図1】



【図2】



【図4】



【図5】

